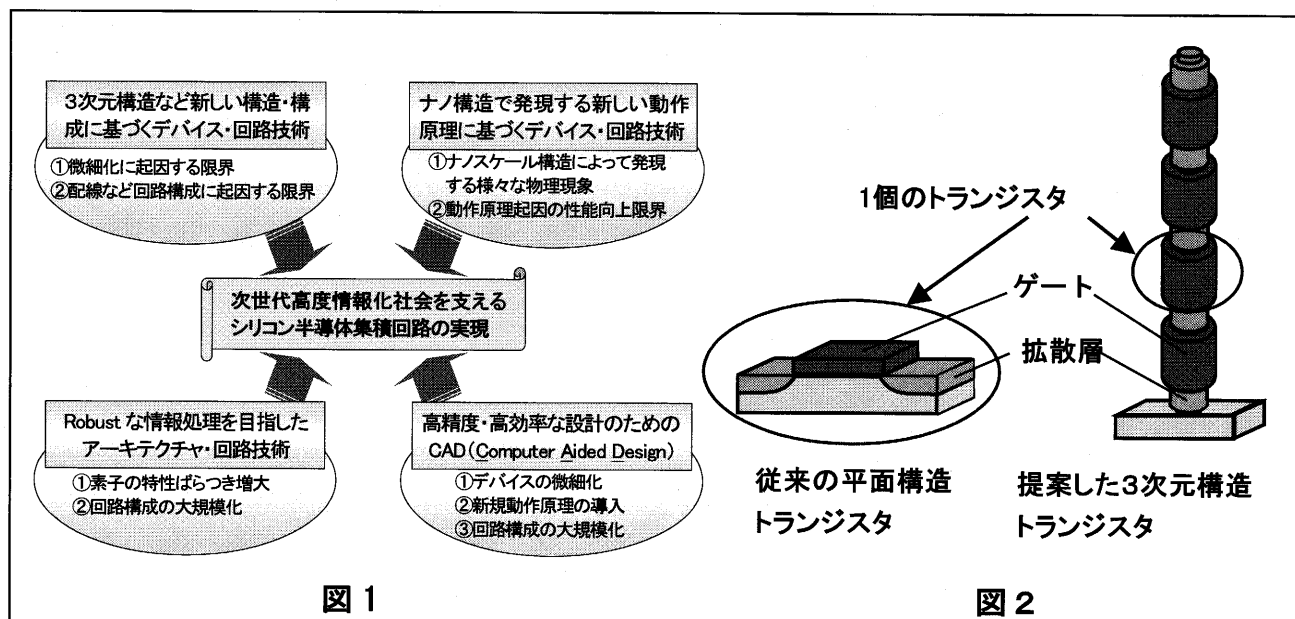


## ナノスケール半導体デバイス・集積回路の研究(6項 プラズマ電子工学研究分野, 1節 情報デバイス研究 部門の目標と成果, 第3章 研究活動)

雑誌名	東北大学電気通信研究所研究活動報告
巻	12
ページ	18-19
発行年	2006-08
URL	<a href="http://hdl.handle.net/10097/30559">http://hdl.handle.net/10097/30559</a>

## プラズマ電子工学研究分野

## ナノスケール半導体デバイス・集積回路の研究



## &lt;分野の目標&gt;

本研究分野では、ユビキタスネットワーク社会の実現に必要不可欠である高性能で革新的なシリコン半導体集積回路の実現を目指して研究を行っている。具体的には、(1) ナノスケールまで微細化されることで増大する素子の特性ばらつき、及び、回路の大規模化に伴う問題を解決する Robust な情報処理を目指したアーキテクチャ・回路技術、(2) 従来のプレーナ技術に起因する限界をブレイクスルーする 3 次元構造など新しい構造・構成に基づく新デバイス・回路技術、(3) ナノスケール構造によって発現する物理現象などを応用した新しい動作原理に基づく新デバイス・回路技術、(4) 更なる微細化・新動作原理の導入によって要求される高精度なデバイス設計技術、及び、更なる回路の大規模化によって要求される高効率な設計手法・アルゴリズムなど次世代集積回路を高精度・高効率に設計するための CAD (Computer Aided Design) 技術などに関する研究を一貫して行っている。(図 1、図 2)。

## &lt;2005 年度の主な成果&gt;

## [1] Robust な情報処理を目指したアーキテクチャ・回路技術

近年、基本素子である MOSFET の微細化に伴い、そのトランジスタ特性の揺らぎが大きくなっている。特に、しきい値電圧の変動は、回路特性に大きな影響を及ぼすため、深刻な問題となっている。本年は、この問題の解決を目指して、回路のデータ検出感度、信号増幅率を中心に、高速動作時における回路の安定性を検討した。また、集積回路における実際の動作速度を決定する、電源電圧揺らぎや基本素子特性揺らぎや入力データパターン依存性などの様々な要因の揺らぎに対する回路の安定性を解析した<sup>[3][5][6]</sup>。

## [2] 3 次元構造・構成に基づく新デバイス・回路技術

平面型構造に立脚している従来の半導体集積回路における高速動作化・低消費電力化等の問題を打開することを目標として、3次元構造デバイス・回路の研究を推進した。特に、ナノスケールサイズのトランジスタ性能を向上させるためには、そのポテンシャルの制御が重要である。本年は、この視点にたち、高性能で高集積化可能なナノスケール MOS トランジスタの候補の一つとして、超薄型ボディ Si を有したダブルゲート (DG) MOSFET に対してショートチャネル効果を抑制する技術を検討した<sup>[2][4][7]</sup>。

### [3] ナノスケール構造によって発現する物理現象を応用した新デバイス・回路技術

当該技術の実現に不可欠であるナノ構造形成プロセス、特に、シリコン (111) 上に高密度なナノドットを形成するプロセスに関する研究を進めた<sup>[1]</sup>。

### [4] 高精度なデバイス設計技術、及び、高精度・高効率な CAD 技術

本年は、3次元構造トランジスタ設計用のプロセスシミュレーター・デバイスシミュレーターの開発を推進した。

## <職員名>

助 教 授 遠藤哲郎 (1997年より)

## <助教授のプロフィール>

1987年3月 東京大学理学部物理学科卒業。1987年4月 (株)東芝に入社 ULSI 研究所にて、フラッシュメモリ、先端デバイス、及び、高信頼性シリコン酸化薄膜の研究開発に従事。1995年 退社。同年 東北大学電気通信研究所講師 工学博士取得。1997年 同助教授。以来、3次元構造デバイス・回路、及び、超高速低消費電力デバイス・回路の研究に従事。1996年～2001年 通信・放送機構仙台リサーチセンター研究フェローを兼務。日経BP第3回LSI IPデザイン・アワード受賞 (2001年)。IEEE、電子情報通信学会、応用物理学会各会員。

## <2005 年度の主な発表論文等>

- [1] Y.Narita, M.SAKAI, T. Murata, T.Endoh and M.Suemitsu, "Ge-Dot Formation on Si(111)-7X7 Surface with C Predeposition Using Monomethylsilane", JAPANESE Journal of Applied Physics, Vol.44, No3, 2005, pp.L123-L125.
- [2] Yuto Momma, Tetsuo Endoh, "Study of Effect of Halo Implantation on 30nm Ultra Thin Body Si Double-Gate MOSFET with 100nm Gate Length," TOHOKU-SECTION JOINT CONVENTION RECORD OF INSTITUTES OF ELECTRICAL AND INFORMATION ENGINEERS, JAPAN, 2005, pp.33. 2A17.
- [3] H.-j. Na, K. Tanaka, Y. Momma, M. Suemitsu, and T. Endoh, "Effect of Threshold Voltage Fluctuations on Stability of Inverter Circuit of MOS Current Mode Logic," TOHOKU-SECTION JOINT CONVENTION RECORD OF INSTITUTES OF ELECTRICAL AND INFORMATION ENGINEERS, JAPAN, 2005, pp. 31, 2A18
- [4] Yuto Momma, Tetsuo Endoh, "Study of Effect of Halo Implantation on Nano-Scale Double Gate MOSFET," International Symposium on Bio- and Nano- Electronics in Sendai Book of Abstracts., 2006, pp.119-120. P-37
- [5] H.-j. Na, M. Suemitsu, and T. Endoh, "Study of Stability on MCML (MOS Current Mode Logic) Inverter Circuit to Threshold Voltage Fluctuations Caused in Future Nanoscale Si-MOS Process Generation," International Symposium on Bio- and Nano-Electronics in Sendai Book of Abstracts, 2006, pp123-124, P-39
- [6] 羅炯竣, 田中幸介, 門間優太, 末光眞希, 遠藤哲郎, "MCML インバーター回路の安定性に対するしきい値ばらつきの影響に関する検討," 2006 年春季第 53 回応用物理学関係連合講演会 23a-X-5, 2006
- [7] 門間優太, 遠藤哲郎 "100nm ゲート長 30nm ボディ Si のダブルゲート MOSFET における haloI/I の効果に関する検討", 第 53 回応用物理学関係連合講演会 25p-X-16.